

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10335678 A

(43) Date of publication of application: 18 . 12 . 98

(51) Int. Cl

H01L 29/861

H01L 21/8234

H01L 27/06

(21) Application number: 09140482

(71) Applicant: SONY CORP

(22) Date of filing: 29 . 05 . 97

(72) Inventor: NAKAMOTO YASUSHI

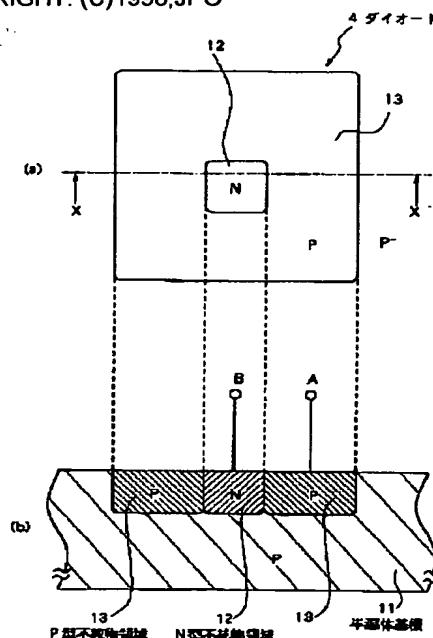
(54) DIODE

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a diode which is high in reverse breakdown voltage and excellent in rectification efficiency.

SOLUTION: An N-type impurity region 12 is formed on the surface of a semiconductor substrate 11 to serve as a cathode, and a P-type impurity region 13 is formed surrounding the N-type impurity region 12 so as to serve as an anode and to form a PN junction together with the impurity region 12. The N-type impurity region 12 and the P-type impurity region 13 are formed at the same time when an N well and P well are formed through a usual MOS manufacturing process. The semiconductor substrate 11 is low in impurity concentration and not enough in number of holes, but the N-type impurity region 12 is small in base area, and carriers (electron) moved from the semiconductor substrate to the N-type impurity region 12 while a forward voltage is applied are limited in number, so that most of the carriers are combined with holes and disappear, and carriers left as stored carriers in the semiconductor substrate 11 are little. Therefore, a leakage current hardly occurs while a reverse voltage is applied, so that a diode of this constitution is enhanced in rectification efficiency.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335678

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

H 01 L 29/861
21/8234
27/06

識別記号

F I

H 01 L 29/91
27/06

D
102A

(21)出願番号

特願平9-140482

(22)出願日

平成9年(1997)5月29日

審査請求 未請求 請求項の数4 OL (全11頁)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中本 泰

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

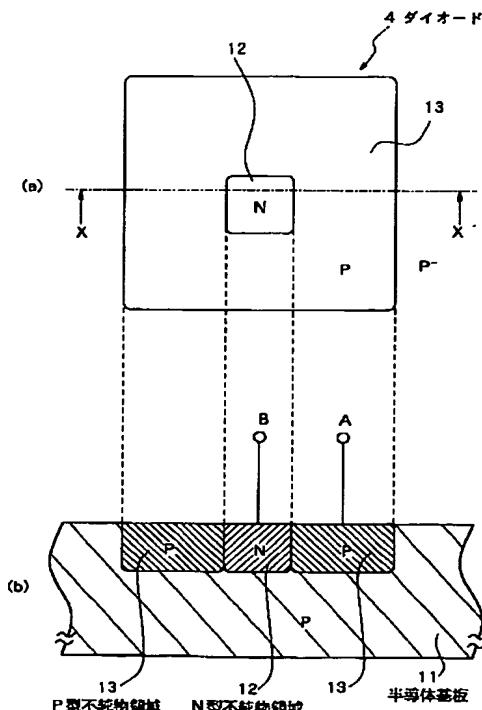
(74)代理人 弁理士 藤島 洋一郎

(54)【発明の名称】 ダイオード

(57)【要約】

【課題】 逆方向の降伏電圧が高く、整流効率のよいダイオードを提供する。

【解決手段】 半導体基板11の表面にカソードとしてのN型不純物領域12を形成すると共に、このN型不純物領域12の周囲を取り囲むと共にこれとPN接合を形成するようにしてP型不純物領域13をアノードとして形成する。N型不純物領域12とP型不純物領域13とは、通常のMOS製造プロセスでNウェルおよびPウェルを形成する際に同時に形成する。半導体基板11の不純物濃度は低くホール数は十分ではないが、N型不純物領域12の底面積は小さく、順方向電圧印可期間に半導体基板11からN型不純物領域12へ移動するキャリア(電子)数は制限されるので、その殆どがホールと再結合して消滅し、半導体基板11内に蓄積キャリアとして残るものは少ない。このため、逆方向電圧印可期間においてリーク電流は殆ど発生せず、整流効率が向上する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の表面近傍に形成された第2導電型不純物領域と、前記半導体基板の表面近傍に前記第2導電型不純物領域と接合するように形成された第1導電型不純物領域とを備えたダイオードであって、

前記第2導電型不純物領域と前記半導体基板との境界面の面積は、前記第1導電型不純物領域および第2導電型不純物領域間への順方向電圧の印加によって起きた前記第2導電型不純物領域から前記半導体基板への電荷担体の移動を制限して電荷担体が前記半導体基板内に蓄積されるのを防止し得る大きさであることを特徴とするダイオード。

【請求項2】 前記第1導電型不純物領域は、前記第2導電型不純物領域の周囲のすべてまたは一部を取り囲むように形成されたものであることを特徴とする請求項1記載のダイオード。

【請求項3】 前記第1導電型不純物領域および第2導電型不純物領域の不純物濃度は、前記半導体基板の不純物濃度よりも大きく、かつ、前記第1導電型不純物領域と第2導電型不純物領域との間に逆方向電圧が印可されたときに降伏現象が生じない程度に小さいことを特徴とする請求項1記載のダイオード。

【請求項4】 前記第1導電型不純物領域および第2導電型不純物領域は、MOS構造の半導体装置の製造工程において同時に形成されたものであることを特徴とする請求項3記載のダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は交流電流の整流等に用いられるダイオードに係わり、特に、半導体基板の主表面に横方向に形成されるラテラル型のダイオードに関する。

【0002】

【従来の技術】 近年、例えば非接触型のIC(半導体集積回路)カードのように、電波によって電力供給とデータ伝送とが行われる記憶媒体が実用化されている。このような記憶媒体では、受信した交流電流を整流して直流電流を作る必要があることから整流用ダイオードが用いられるのが一般的である。また、このようなICカードにおける記憶回路等の信号処理部には、通常、消費電力の小さいMOS(Metal-Oxide-Semiconductor; 金属・酸化膜・半導体)構造の半導体素子が用いられることが多い。

【0003】 従来、この種のICカードでは、整流用ダイオードの部分は、MOS半導体素子からなる信号処理部と別体のチップとしてバイポーラプロセスにより製作されていたが、これではカード全体としての小型化とコスト低減とを図ることが困難であることから、最近では、標準的なCMOS(Complementary MOS; 相補型MO

S) 製造プロセスにおいて併せてダイオードを作り込むことが行われている。このようにして製造されるダイオードとしては、ラテラル型と呼ばれているタイプが一般的である。このダイオードは、半導体基板の表面近傍にアノードとなるP導電型不純物領域とカソードとなるN導電型不純物領域とを隣接させて形成し、これらの領域間のPN接合によって交流電流を整流しようとするものである。ここで、各不純物領域は、MOS製造プロセスにおけるソースおよびドレインを形成するためのイオン注入工程等において同時に形成されるようになっていた。

【0004】

【発明が解決しようとする課題】 ところで、通常、MOSトランジスタのソースおよびドレインは $10^{19} \sim 10^{20}$ 個/ cm^2 という高濃度の不純物を含むように形成されるので、これらと同工程で形成されるダイオードのアノードおよびカソードもまた同程度の高濃度不純物を含むこととなる。一方、ダイオードのPN接合に逆方向電圧を印可したときの降伏電圧はアノードおよびカソードの不純物濃度が高くなるに従って低下することが知られている。したがって、従来のようにMOS製造プロセスにおけるソース・ドレイン形成工程と同一工程によってダイオードのアノードおよびカソードを形成した場合には、逆方向の降伏電圧は相当低くなってしまう。

【0005】 特に、上記した非接触型のICカードのように、電波によって電力を空間伝送するシステムでは、ICカードに対するデータの書き込みと読み出しを行うためのリーダライタとICカードとの距離がある程度離れていても正常に動作できるようにするために、リーダライタ側の送信電界強度を強めに設定する必要がある。したがって、ICカードをリーダライタに近づけ過ぎた場合のようにICカードの受信電界強度が過剰に高くなつたときには、ICカード内の整流用ダイオードに相当高い逆バイアスが掛かって降伏現象が生じ、正常な整流動作ができなくなるという問題が生ずるおそれもある。

【0006】 この問題を解決するには、ダイオードのアノードおよびカソードの不純物濃度をより低めに設定すればよいと考えられる。ところが、不純物濃度を適正に設定したとしても、この種のダイオードにおいては、その構造上、順方向電圧の印可期間中にカソードまたはアノードから半導体基板へ流出したキャリア(電荷担体)が逆バイアス印可期間中に半導体基板からカソードまたはアノードに流れで逆方向電流が生じるというさらなる不都合がある。このため、整流素子としての効率が低く、供給された交流電力の利用効率を高めることが困難になるという問題があった。このことは、電波による電力供給を行う場合のみならず、電波による非接触データ伝送を行う場合においても信号電力の利用効率の向上を図る上で問題となることである。さらに、このように整流効率が低いことは、例えば通常のAM(Amplitude Mod

ulation)受信機の検波(復調)回路等のような非接触型ICカード以外の用途に用いられる整流用ダイオードにおいても、受信信号の忠実な再現性を確保する上で問題となることである。

【0007】本発明はかかる問題点に鑑みてなされたもので、その目的は、逆方向の降伏電圧が高く、かつ効率よく整流を行うことができるダイオードを提供することにある。

【0008】

【課題を解決するための手段】本発明のダイオードは、第2導電型不純物領域と半導体基板との境界面の面積を、第1導電型不純物領域および第2導電型不純物領域間への順方向電圧の印加によって起きる第2導電型不純物領域から半導体基板への電荷担体の移動を制限して電荷担体が半導体基板内に蓄積されるのを防止し得る大きさに設定したものである。ここで、第1導電型不純物領域は、第2導電型不純物領域の周囲のすべてまたは一部を取り囲むように形成するのが好適であり、また、第1導電型不純物領域および第2導電型不純物領域の不純物濃度は、半導体基板の不純物濃度よりも大きく、かつ、第1導電型不純物領域と第2導電型不純物領域との間に逆方向電圧が印可されたときに降伏現象が生じない程度に小さく設定するのが好適である。また、第1導電型不純物領域および第2導電型不純物領域は、MOS構造の半導体装置の製造工程において同時に形成することが可能である。

【0009】本発明のダイオードでは、第2導電型不純物領域と半導体基板との境界面の面積を適切に設定することにより、第1導電型不純物領域と第2導電型不純物領域との間に順方向電圧が印可されたときに第2導電型不純物領域から半導体基板へ移動する電荷担体が半導体基板中に蓄積されないように電荷担体の移動量を制限することができる。これにより、逆方向電圧が印可されたときに、半導体基板中に蓄積された電荷担体に起因する逆方向リーキ電流の発生を抑制できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0011】図2は本発明の一実施の形態に係るダイオードを含む整流回路を用いて構成した非接触型ICカードシステムの概略構成を表すものである。このシステムは非接触型ICカード1と、この非接触型ICカード1に対する電力供給とデータの読み書きとを行うためのリーダライタ2とを含んで構成される。非接触型ICカード1は、受信コイル3と、この受信コイル3の両端子間に直列接続された整流用のダイオード4およびキャパシタ5と、キャパシタ5の両端間に接続されたメモリ回路等の負荷回路6とを備えている。ダイオード4のカソードは受信コイル3の一端Bに接続され、アノードはキャパシタ5の一端Aに接続されている。受信コイル3は、

リーダライタ2の送信コイル7から発せられた電波を受信して、それに対応した交流電流を発生する。この交流電流は、ダイオード4によって半波整流されると共にキャパシタ5によってほぼ平滑化されて直流電流に変換され、負荷回路6に供給されるようになっている。

【0012】図1は図2におけるダイオード4の構造を表すものである。この図の(a)は平面構造を表し、

(b)は(a)のX-X'方向から見た断面構造を表す。これらの図に示したように、ダイオード4は、半導体基板11の表面近傍に形成されたN型不純物領域12と、N型不純物領域12の周囲を取り囲むと共にこれと接するようにして半導体基板11の表面近傍に形成されたP型不純物領域13とを備えたラテラル型ダイオードとして構成されている。N型不純物領域12とP型不純物領域13とはいわゆるPN接合を形成する。このうち、P型不純物領域13は図1におけるキャパシタ5の一端Aに接続され、ダイオード4のアノードとして機能するようになっている。一方、N型不純物領域12は図1における受信コイル3の一端Bに接続され、ダイオード4のカソードとして機能するようになっている。ここで、半導体基板11は本発明における「半導体基板」に対応し、P型不純物領域13は本発明における「第1導電型不純物領域」に対応し、N型不純物領域12は本発明における「第2導電型不純物領域」に対応する。

【0013】半導体基板11は、例えばボロン(B)等のP型不純物を含むシリコン単結晶基板等で構成され、その不純物濃度は例えば 10^{15} 個/ cm^3 程度である。

N型不純物領域12は、通常のMOS製造プロセスにおいて例えばリン(P)等のN型不純物をイオン注入して

30 Nウェル領域を形成する際に同時に形成されるもので、その不純物濃度は例えば 10^{17} 個/ cm^3 程度と、半導体基板11よりも2桁程度高くなっている。P型不純物領域13は、通常のMOS製造プロセスにおいて例えばボロン(B)等のP型不純物をイオン注入してPウェル領域を形成する際に同時に形成されるもので、その不純物濃度は例えば 10^{17} 個/ cm^3 程度と、N型不純物領域12とほぼ等しく、半導体基板11よりも2桁程度高くなっている。N型不純物領域12の底面サイズは例えば $2\mu\text{m} \times 2\mu\text{m}$ 程度で、P型不純物領域13の底面サイズは例えば $10\mu\text{m} \times 10\mu\text{m}$ 程度である。また、N型不純物領域12およびP型不純物領域13の深さは共に例えば $1.5\mu\text{m}$ 程度である。ただし、これらの数値は適宜変更可能である。

【0014】次に、このような構造のダイオード4を含む非接触型ICカード1の概略動作を説明する。

【0015】非接触型ICカード1をリーダライタ2にセットすると、リーダライタ2は伝送電力に伝送データを重畠させて送信コイル7によって電波として出力する。非接触型ICカード1の受信コイル3には、リーダ

40 ライタ2の送信コイル7を流れる電流に比例する交流電

流が生じる。ダイオード4の端子AB間に順方向電圧が印可されている期間はダイオード4がオン状態となるのでキャパシタ5が充電されると同時に負荷回路6に電流が流れる。一方、逆方向電圧が印可されている期間はダイオード4がオフ状態となるのでキャパシタ5が放電して負荷回路6に電流が流れる。このようにして、半波整流と整流とが行われる。なお、負荷回路6では、半波整流されて得られた電圧から直流成分が除去されて伝送データの復調が行われると共に、さらに十分な平滑化が行われて直流電圧が得られ、負荷回路6内の各部に供給される。

【0016】次に、図1に示した構造のダイオード4の詳細な作用を、図5に示したような通常に考え得る構造のラテラル型ダイオードとの比較において説明する。

【0017】まず、図1に示したダイオード4の作用説明に先立ち、比較例として図5に示したダイオードについて説明する。なお、図5(a)は平面構造を表し、同図(b)は(a)のY-Y'方向から見た断面構造を表す。

【0018】図5に示したダイオードは、P型の半導体基板101の表面近傍に形成されたN型不純物領域102と、N型不純物領域102の一端面と接するようにして半導体基板101の表面近傍に形成されたP型不純物領域103とを備えて構成されている。N型不純物領域102とP型不純物領域103とはPN接合を形成する。このうち、P型不純物領域103は例えばキャパシタ5(図1)の一端Aに接続されてアノードとして機能し、N型不純物領域102は例えば受信コイル3(図1)の一端Bに接続されてカソードとして機能するようになっている。なお、半導体基板101、N型不純物領域102およびP型不純物領域103の各不純物濃度は、上記した図1のダイオード4の各不純物濃度と同等であるとする。

【0019】このような一般的構造のラテラル型ダイオードは次のように動作する。以下、図6および図7を参照してその整流作用を説明する。

【0020】まず、図6に示したように、端子AB間に順方向電圧が印可されている期間においては、N型不純物領域102のキャリア(ここでは、図中の“-”で示した電子)は、その一端面に形成されたPN接合面を介してP型不純物領域103に移動し、ここに多数存在するホール(図中の“+”で示した正孔)と再結合して消滅する。これにより、P型不純物領域103からN型不純物領域102に流れる順方向の電流(以下、横方向電流という。)が生ずる。

【0021】このとき、P導電型である半導体基板101の電位はP型不純物領域103とほぼ同電位となっているので、N型不純物領域102中のキャリアの一部は、半導体基板101内にも移動して、ここに存在しているホールと再結合して消滅する。このN型不純物領域

102から半導体基板101へのキャリア移動はN型不純物領域102と半導体基板101との間のすべての境界面(側面および底面)を介して行われるが、N型不純物領域102の底面の面積はその側面の面積に比べてかなり大きいことから、現実には大部分のキャリア移動はこの底面部を介して行われると考えられる。また、N型不純物領域102の底面の面積は、P型不純物領域103との間に形成されたPN接合の面積に比べてもかなり大きなものとなっている。このため、N型不純物領域102から半導体基板101に移動するキャリア量は相当多くなり、結果として、上記した横方向電流と比較して無視できない大きさの電流(以下、縦方向電流という。)が半導体基板101からN型不純物領域102に向かって流れることとなる。

【0022】ところが、半導体基板101の不純物濃度は上記したように 10^{15} 個/ cm^3 程度と低く、半導体基板101中のホール数は十分ではない。このため、半導体基板101中に移動したキャリアのうちの相当数がホールと再結合できず、半導体基板101中にそのまま蓄積キャリアC2として残ることとなる。

【0023】ここで、図7に示したように、端子AB間に逆方向電圧が印可されると、半導体基板101内に相当数残っていた蓄積キャリアC2がN型不純物領域102に移動し、この結果、N型不純物領域102から半導体基板101に向かって小さくない逆方向電流が流れ。このことは整流効率が良くないことを意味する。なお図7では、半導体基板101内およびP型不純物領域103内のホールについては図示を省略している。

【0024】このように、図5に示した構造のダイオードでは、逆方向のリーク電流が大きく、ダイオードに要求される整流特性を十分満たしていない。

【0025】これに対して本実施の形態のダイオード4(図1)は次のように動作する。以下、図3および図4を参照してその整流作用を説明する。

【0026】まず、図3に示したように、端子AB間に順方向電圧が印可されている期間においては、N型不純物領域12のキャリア(ここでは電子)は、その全周囲に形成されたPN接合面を介してP型不純物領域13に移動し、ここに多数存在するホールと再結合して消滅する。これにより、P型不純物領域13からN型不純物領域12に流れる順方向の横方向電流が生ずる。ここでは、キャリアである電子が本発明における「電荷担体」に対応する。

【0027】このとき、P導電型である半導体基板11の電位はP型不純物領域13とほぼ同電位となっているので、N型不純物領域12中のキャリアの一部は、半導体基板11内にも移動して、ここに存在しているホールと再結合して消滅する。このN導電型不純物領域12から半導体基板11へのキャリア移動はN型不純物領域12と半導体基板11との間の唯一の境界面である底面を

介して行われるが、本実施の形態では、N型不純物領域12の底面積は図5の場合と比べて小さいことから、N型不純物領域12から半導体基板11へ向かって移動する移動するキャリア数は図6の場合と比べて少ない。この結果、本実施の形態のダイオード4では、順方向電圧印可期間に半導体基板11からN型不純物領域12に流れる縦方向電流は、図5の場合よりも相当小さくなり、また、上記した順方向の横方向電流に比べても相当小さいものとなる。

【0028】半導体基板11の不純物濃度は上記したように 10^{15} 個/ cm^3 程度と低く、半導体基板11中のホール数は十分ではないが、本実施の形態では、半導体基板11中に移動するキャリア数が少ないため、その殆どがホールと再結合して消滅し、半導体基板11中にそのまま蓄積キャリアC1として残るものは極めてわずかであり、半導体基板11やN型不純物領域12の不純物濃度等の条件によっては殆どゼロとなる。

【0029】ここで、図4に示したように、端子AB間に逆方向電圧が印可されると、半導体基板11内に残っていた蓄積キャリアC1がN型不純物領域12に移動し、N型不純物領域12から半導体基板11への逆方向電流が流れるが、上記したように、この場合の蓄積キャリアC1の数は極めて微少であるため、逆方向電流も極めて微小あるいは殆どゼロとなる。なお、図4では、半導体基板11内およびP型不純物領域13内のホールは図示を省略している。

【0030】このように、本実施の形態のダイオード4では、逆方向のリーク電流が小さいというダイオードに要求される整流特性を十分満たしている。

【0031】本実施の形態では、N型不純物領域12と半導体基板11との境界面の面積（すなわち、N型不純物領域12の底面の面積）を例えば $5\mu\text{m}^2$ 程度とし、半導体基板11の不純物濃度を例えば 10^{15} 個/ cm^3 程度とし、カソード（N型不純物領域12）およびアノード（P型不純物領域13）の不純物濃度を例えば 10^{17} 個/ cm^3 程度として説明したが、本発明のダイオードはこれらの値に限定されるものではなく、それぞれ異なる値に適宜設定することが可能である。要は、アノード（P型不純物領域13）と半導体基板11との境界面の面積を、アノード・カソード間に順方向電圧が印可されたときにアノードから半導体基板11へ移動するキャリアが半導体基板11中に蓄積されない程度にキャリア移動量を制限できる大きさに設定すればよい。

【0032】次に、図8～図11を参照して、本実施の形態のダイオード4を含む各種のダイオードの整流特性について相互に比較しつつ説明する。

【0033】ここでは、図8に示したように、正弦波信号Vsを出力する交流信号源15の出力端子間に被検ダイオード14と抵抗器16とを直列接続して、被検ダイオード14の両端電圧Vdの変化を調べるものとし、そ

の結果を図9～図11に示す。なお、これらの図で、横軸は時間軸、縦軸は電圧軸を示し、また、破線は正弦波信号Vsの波形、実線は被検ダイオード14の両端電圧Vdの波形を示す。

【0034】図9は通常のバイポーラプロセスにより製造されたダイオード（以下、バイポーラ型ダイオードという。）の整流特性の一例を表すものである。この図で、交流信号源15からの正弦波信号Vsが順方向期間にあるときは被検ダイオード14がオン状態となるので、その両端電圧Vdは順方向電圧Vfとなる。この順方向電圧Vfは、アノードとカソードとの間のPN接合の抵抗成分による電圧降下分であり、できるだけ小さいことが望ましい。一方、正弦波信号Vsが逆方向期間にあるときは被検ダイオード14はオフ状態となり、このときのリーク電流も極めて微小であるため、これによる電圧降下は殆どなく、被検ダイオード14の両端電圧Vdの波形は正弦波信号Vsの波形とほぼ一致する。この図で斜線を施した領域は、整流の際に失われるエネルギーに対応するものであるが、図から明らかのように、無駄になるのは順方向期間のエネルギーが大部分であり、逆方向期間においてはほとんどエネルギーの無駄がない。

【0035】図10は比較例として図5に示したラテラル型ダイオードの整流特性を表すものである。この図で、正弦波信号Vsが順方向期間にあるときは被検ダイオード14がオン状態となり、その両端電圧Vdは順方向電圧Vfとなるが、この場合の順方向電圧Vfは、図9の場合よりもやや高めになっている。一方、正弦波信号Vsが逆方向期間にあるときは被検ダイオード14はオフ状態となるが、上記したようにこのときのリーク電流は相当大きいので、これによる電圧降下 ΔV は無視できない程度に大きくなる。このため、図から明らかのように、順方向期間のみならず、逆方向期間においてもエネルギーの無駄が多い。

【0036】図11は本実施の形態に係るラテラル型ダイオード（図1に示したダイオード4）の整流特性を表すものである。この図で、正弦波信号Vsが順方向期間にあるときは被検ダイオード14がオン状態となり、その両端電圧Vdは順方向電圧Vfとなるが、この場合の順方向電圧Vfは、図10の場合よりもやや高めになる。一方、正弦波信号Vsが逆方向期間にあるときは被検ダイオード14はオフ状態となる。このときのリーク電流は図9に示したバイポーラ型ダイオードよりは大きいものの、図10に示したラテラル型ダイオードよりは小さくなっている。これによる電圧降下 ΔV は図10の場合よりも相当小さくなっている。このため、図から明らかのように、逆方向期間におけるリーク電流によるエネルギーの無駄が図10の場合よりも抑制され、整流効率が改善される。

【0037】なお、上記したように、本実施の形態のダイオード4では、順方向電圧Vfがやや高くなるが、こ

れはN型不純物領域12の底面積を極端に小さくしたことによる電流能力の低下に起因すると考えられる。したがって、ダイオードが適用される回路において電流が不足すると考えられる場合には、複数のダイオード4を並列接続することで、この問題に対処することが可能である。

【0038】次に、本実施の形態のダイオード4(図1)をCMOS半導体チップ中に一体に作り込む場合について説明する。

【0039】図12は同一基板上にCMOS素子とラテラル型ダイオードとを形成してなる半導体装置の断面構造を表すものである。この半導体装置は、CMOS素子領域に形成されたPMOSトランジスタ20およびNMOSトランジスタ30と、周辺領域に形成されたダイオード4とを備えている。これらの各素子間は、シリコン酸化膜等からなる素子分離膜40によって相互に分離されている。なお、ダイオード4は、図1に示したものと同一構造のものであり、同一構成部分には同一の符号を付して適宜説明を省略する。

【0040】この図に示したように、PMOSトランジスタ20は、P型の半導体基板11の表面近傍に形成されたNウェル21内に形成されており、ソースおよびドレインとしての高濃度P型不純物領域22, 23と、これらの高濃度P型不純物領域22, 23によって挟まれた領域の半導体基板11上にゲート絶縁膜24を介して形成されたゲート電極25とを含んで構成されている。ゲート絶縁膜24は、例えばシリコン酸化膜で構成され、ゲート電極25は例えばポリシリコン等で構成される。

【0041】一方、NMOSトランジスタ30は、P型の半導体基板11の表面近傍に形成されたPウェル領域31内に形成されており、ソースおよびドレインとしての高濃度N型不純物領域32, 33と、これらの高濃度N型不純物領域32, 33によって挟まれた領域の半導体基板11上にゲート絶縁膜34を介して形成されたゲート電極35とを含んで構成されている。ゲート絶縁膜34は、例えばシリコン酸化膜で構成され、ゲート電極35は、例えばポリシリコン等で構成される。

【0042】周辺領域に形成されたダイオード4は、図1に示したものと同様の構造であるので説明を省略する。

【0043】このような構造の半導体装置は、例えば次のようなプロセスにより製造される。まず、不純物濃度が 10^{15} 個/ cm^3 程度の半導体基板11の表面に、LOCOS(Local Oxidation of Silicon)法等によって素子分離膜40を形成した後、周知のフォトリソグラフィ工程を経て、イオン注入法により、半導体基板11の表面近傍に、不純物濃度が 10^{17} 個/ cm^3 程度のNウェル領域21およびN型不純物領域12を同時に形成する。次に、同様のフォトリソグラフィ工程を経て、イオ

ン注入法により、半導体基板11の表面近傍に、不純物濃度が 10^{17} 個/ cm^3 程度のPウェル領域31およびP型不純物領域13を同時に形成する。

【0044】次に、CMOS素子領域のNウェル領域21およびPウェル領域31上に熱酸化法等によってシリコン酸化膜からなるゲート絶縁膜を形成したのち、その上に例えばポリシリコン等からなるゲート電極層を形成し、これらを選択的にエッチングする。これにより、Nウェル領域21には、ゲート絶縁膜24を介してゲート電極25が形成され、Pウェル領域31には、ゲート絶縁膜34を介してゲート電極35が形成される。

【0045】次に、例えばイオン注入法により、Nウェル領域21の表面近傍に、ゲート電極25と自己整合的にソース・ドレインとしての高濃度P型不純物領域22, 23を形成する。次に、例えばイオン注入法により、Pウェル領域31の表面近傍に、ゲート電極35と自己整合的にソース・ドレインとしての高濃度N型不純物領域32, 33を形成する。次に、これらの素子構造を覆うようにして全面に層間絶縁膜(図示せず)を形成した後、この層間絶縁膜に、高濃度P型不純物領域22, 23および高濃度N型不純物領域32, 33およびゲート電極25, 35、ならびにダイオード4のN型不純物領域12およびP型不純物領域13にそれぞれ達するコンタクトホールを開口する。そして、これらのコンタクトホールを埋め込むようにして層間絶縁膜上にアルミニウム等の金属配線層(図示せず)を形成し、これをパターニングして配線とする。その後、図示しない保護膜等を形成する。

【0046】このように、図1に示した構造のダイオード4をCMOSプロセスで同一基板上に同時に形成することにより、ダイオードを含む整流回路と他のCMOS型の信号処理回路等とを1チップの半導体装置として作製することができる。このため、整流回路の整流効率を向上させると同時に、半導体装置の小型化と、工程簡略化によるコスト低減とを達成できる。

【0047】次に、本発明の他の実施の形態について説明する。

【0048】図13は本発明の他の実施の形態に係るダイオードの断面構造を表すものである。なお、このダイオードの平面図は図1(a)に示したものと同様であるのでここでは図示を省略する。

【0049】本実施の形態に係るダイオードは、半導体基板11aの表面近傍に形成されたN型不純物領域12aの周囲を取り囲むようにしてP型不純物領域13aが形成されている点は図1の場合と同様であるが、図1のダイオードでは両領域のPN接合面が基板とほぼ垂直に形成されているのに対し、本実施の形態のダイオードではPN接合面が基板と垂直でなく傾いて形成され、N型不純物領域12を基板と平行に切ったときの断面形状は底面側に行くほど小さくなっている。したがって、N型

不純物領域12aおよびP型不純物領域13aの深さ、ならびに基板表面におけるN型不純物領域12の面積が、それぞれ、図1のダイオードのそれらと同じであるとすれば、本実施の形態のダイオードの方が底面積はより小さくなる。このため、順方向期間にN型不純物領域12aから半導体基板11に移動するキャリア数は図1の場合よりも少なく、半導体基板11a内の蓄積キャリアも少ない。したがって、逆方向のリーク電流がより小さくなり、さらに整流効率の向上が期待できる。

【0050】図14は本発明のさらに他の実施の形態に係るダイオードの断面構造を表すものである。なお、このダイオードの平面図は図1(a)に示したものと同様であるのでここでは図示を省略する。

【0051】本実施の形態に係るダイオードは、半導体基板11bの表面近傍に形成されたN型不純物領域12bの周囲を取り囲むようにしてP型不純物領域13bが形成されている点は図1および図13の場合と同様であるが、図1および図13のダイオードではN型不純物領域12、12aの底面が半導体基板11と直接接觸しているのに対し、本実施の形態のダイオードではP型不純物領域13bがN型不純物領域12bの下側をも取り囲んでおり、N型不純物領域12bの底面は半導体基板11bと接触していない。このため、順方向期間にN型不純物領域12bから縦方向に移動するキャリアはP型不純物領域13b内ですべて再結合して消滅し、半導体基板11bへは移動しない。したがって、半導体基板11b内に蓄積キャリアが発生しないので、逆方向期間におけるリーク電流が殆どゼロになり、図1の場合よりもさらに整流効率の向上が期待できる。

【0052】なお、以上の各実施の形態では、N型不純物領域12等の全周(四方)をP型不純物領域13等で取り囲むようにしているが、例えば図15に示したように、N型不純物領域12cの三方のみをP型不純物領域13cで取り囲んで他の方は半導体基板11と接するようにしたり、あるいは図16に示したように、N型不純物領域12dの二方のみをP型不純物領域13dで取り囲んで他の方は半導体基板11と接するように構成することも可能である。

【0053】以上、いくつかの実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されず、その均等の範囲で種々変更可能である。例えば、上記の各実施の形態では、P型の半導体基板11等に形成したカソードとしてのN型不純物領域12等の周囲をアノードとしてのP型不純物領域13等によって取り囲む構造とし、図2の非接触型ICカード1における接地ラインV_s(A B間)に挿入することとしたが、図18のように非接触型ICカード1aの電源ラインV_{dd}(C D間)に挿入するためには、これとは導電型を逆にすればよい。すなわち、図17に示したように、N型の半導体基板11eにアノードとしてのP型不純物領域13e

を形成すると共に、その周囲をカソードとしてのN型不純物領域12eによって取り囲む構造とすればよい。ここで、図17(a)はダイオード4aの平面図であり、同図(b)は(a)におけるZ-Z'方向から見た断面図である。この場合、順方向期間にP型不純物領域13eから半導体基板11eにキャリアとしてのホールが移動して再結合するが、そのキャリア移動数は小さいため、半導体基板11e内で再結合できずに残留する蓄積キャリアは少なく、逆方向期間におけるリーク電流が小さくなる。なお、このような構造のダイオード4aは、例えば図18に示したような非接触型ICカード1aに適用可能である。なお、この図で図2と同一構成要素には同一の符号を付している。

【0054】また、上記の各実施の形態に係るダイオードでは、N型不純物領域12等およびP型不純物領域13等の平面形状を矩形にすることとして説明したが、円形その他の形状としてもよい。

【0055】また、上記の実施の形態に係るダイオードは非接触型ICカードに適用されるものとして説明したが、用途はそのような非接触型ICカードに限定されず、通常のAM受信機が備える検波回路や、その他の整流回路にも適用することが可能である。

【0056】

【発明の効果】以上説明したように請求項1ないし請求項4のいずれか1に記載のダイオードによれば、第2導電型不純物領域と半導体基板との境界面の面積を、第1導電型不純物領域および第2導電型不純物領域間への順方向電圧の印加によって起きた第2導電型不純物領域から半導体基板への電荷担体の移動を制限して電荷担体が半導体基板内に蓄積されるのを防止し得る大きさに設定するようにしたので、逆方向電圧が印可されたときに、半導体基板中に蓄積された電荷担体に起因する逆方向リーク電流の発生を抑制できる。したがって、整流に伴う電力の損失を低減することができ、整流効率が向上するという効果がある。

【0057】特に、請求項2記載のダイオードによれば、第1導電型不純物領域を、第2導電型不純物領域の周囲のすべてまたは一部を取り囲むように形成するようにしたので、第2導電型不純物領域と半導体基板との境界面の面積を小さくすることができ、蓄積キャリアに起因するリーク電流を低減することが容易である。

【0058】また、請求項3記載のダイオードによれば、第1導電型不純物領域および第2導電型不純物領域の不純物濃度を、半導体基板の不純物濃度よりも大きく、かつ、第1導電型不純物領域と第2導電型不純物領域との間に逆方向電圧が印可されたときに降伏現象が生じない程度に小さく設定するようにしたので、整流効率の向上のほかに、降伏現象を防止して整流素子としての信頼性を維持することができるという効果もある。

【0059】また、請求項4記載のダイオードによれ

ば、第1導電型不純物領域および第2導電型不純物領域を、金属・酸化膜・半導体(MOS)構造の半導体装置の製造工程において同時に形成するようにしたので、ダイオードを含む整流回路と他の信号処理回路等とを1チップのMOS半導体装置に混載可能となる。このため、整流効率の向上のほかに、半導体装置の小型化と、接続工程の簡略化によるコスト低減とを達成できるという効果もある。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るダイオードの構造を表すもので、(a)はその平面図、(b)は断面図である。

【図2】図1のダイオードを適用して構成した非接触型ICカードシステムの概略構成を表す図である。

【図3】図1のダイオードの順方向期間における作用を説明するための素子断面図である。

【図4】図1のダイオードの逆方向期間における作用を説明するための素子断面図である。

【図5】比較例としてのラテラル型ダイオードの構造を表すもので、(a)はその平面図、(b)は断面図である。

【図6】図5のラテラル型ダイオードの順方向期間における作用を説明するための素子断面図である。

【図7】図5のラテラル型ダイオードの逆方向期間における作用を説明するための素子断面図である。

【図8】ダイオードの整流特性を測定するための回路例を表す回路図である。

【図9】通常のバイポーラプロセスで製造されたダイオードの整流特性を表す特性図である。

【図10】図5に比較例として示したダイオードの整流特性を表す特性図である。

【図11】図1のダイオードの整流特性を表す特性図で*

*ある。

【図12】CMOSプロセスによって同一基板上に整流ダイオードとCMOS素子とを形成してなる半導体装置の一例を表す断面図である。

【図13】本発明の他の実施の形態に係るダイオードの構造を表す断面図である。

【図14】本発明のさらに他の実施の形態に係るダイオードの構造を表す断面図である。

【図15】本発明のさらに他の実施の形態に係るダイオードの構造を表す平面図である。

【図16】本発明のさらに他の実施の形態に係るダイオードの構造を表す平面図である。

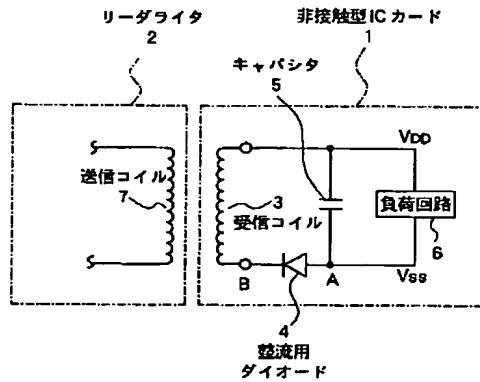
【図17】本発明のさらに他の実施の形態に係るダイオードの構造を表すもので、(a)はその平面図、(b)は断面図である。

【図18】図17のダイオードを適用して構成した非接触型ICカードシステムの概略構成を表す図である。

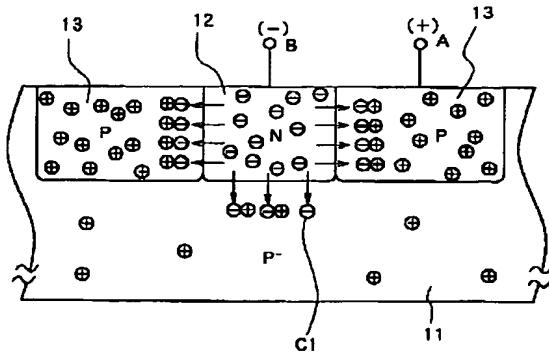
【符号の説明】

1, 1a…非接触型ICカード、2…リーダライタ、3…受信コイル、4, 4a…ダイオード、5…キャバシタ、6…負荷回路、7…送信コイル、11, 11a, 11b, 11e, 101…半導体基板、12, 12a~12e, 102…N型不純物領域、13, 13a~13e, 103…P型不純物領域、15…交流信号源、16…抵抗器、20…PMOSトランジスタ、21…Nウェル、22, 23…高濃度P型不純物領域(ソース・ドレン)、24, 34…ゲート絶縁膜、25, 35…ゲート電極、30…NMOSトランジスタ、31…Pウェル、32, 33…高濃度N型不純物領域(ソース・ドレン)、Vf…順方向電圧、Vs…正弦波信号、Vd…被検ダイオードの両端電圧

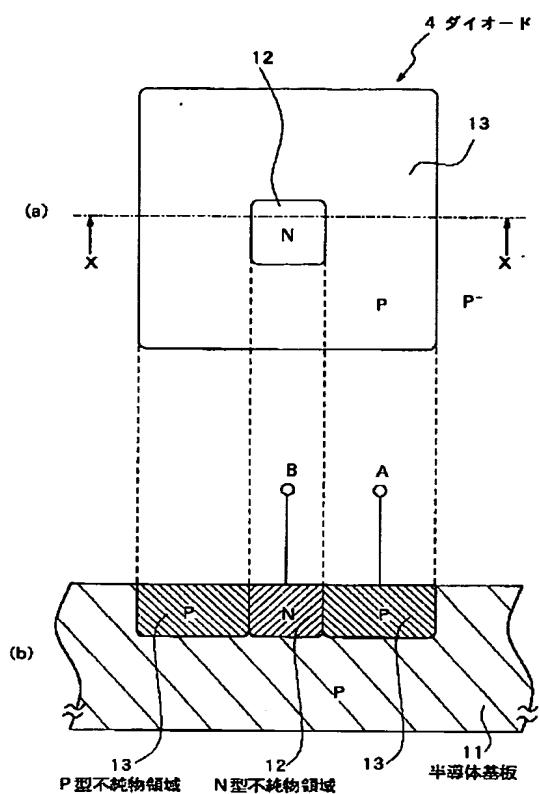
【図2】



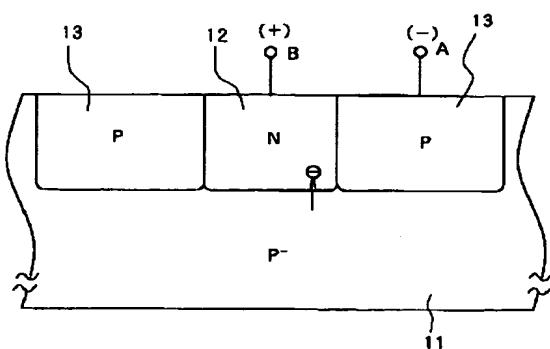
【図3】



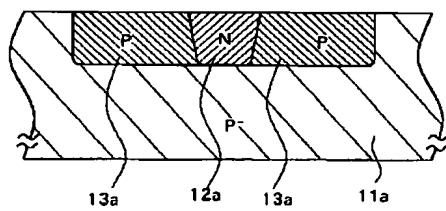
【図1】



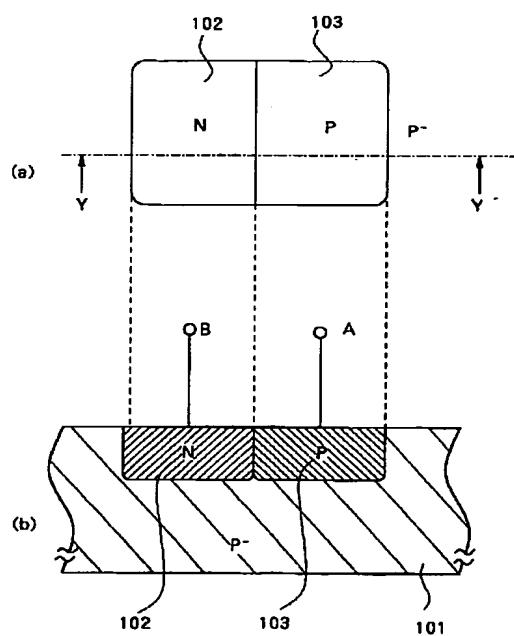
【図4】



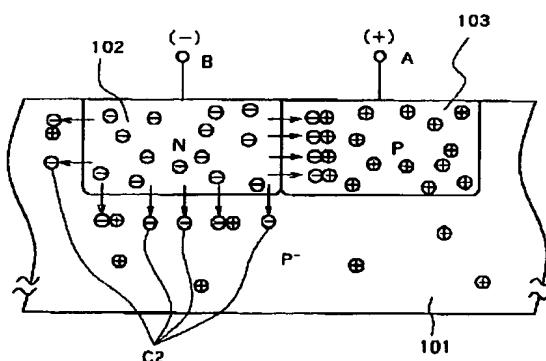
【図13】



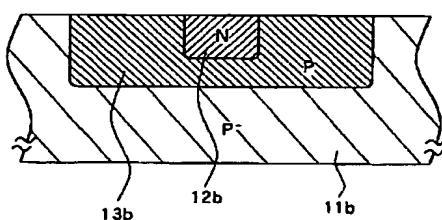
【図5】



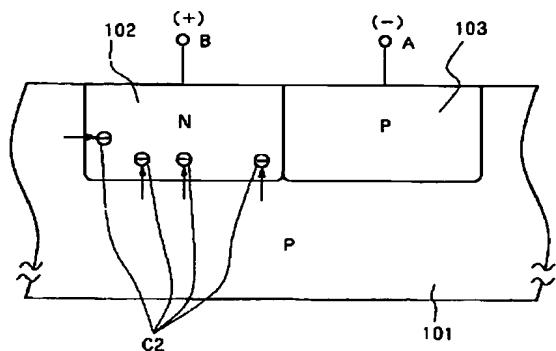
【図6】



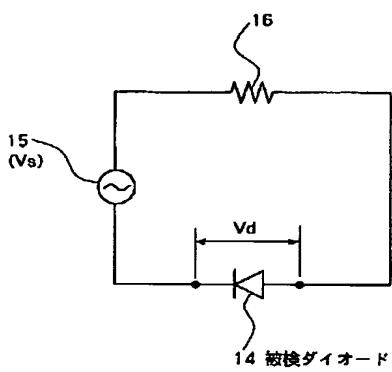
【図14】



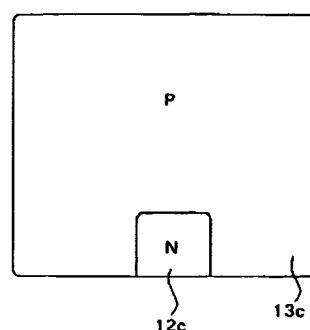
【図7】



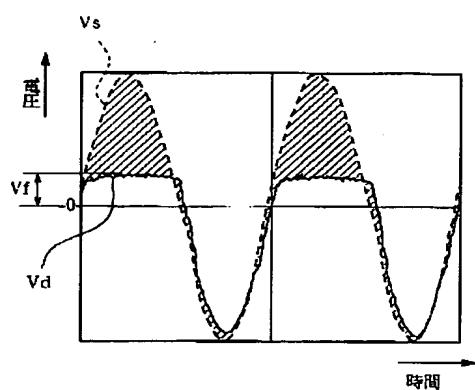
【図8】



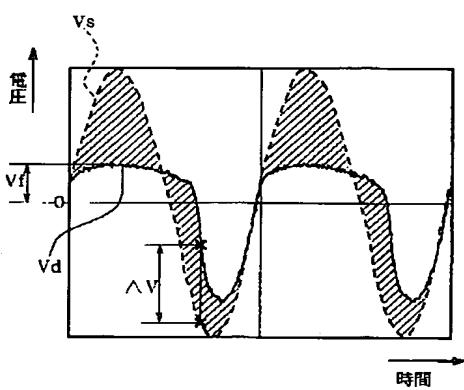
【図15】



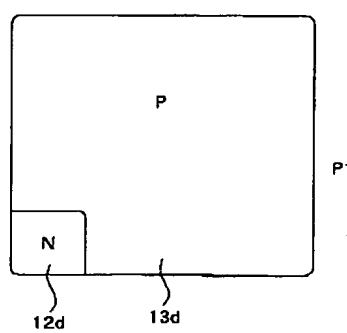
【図9】



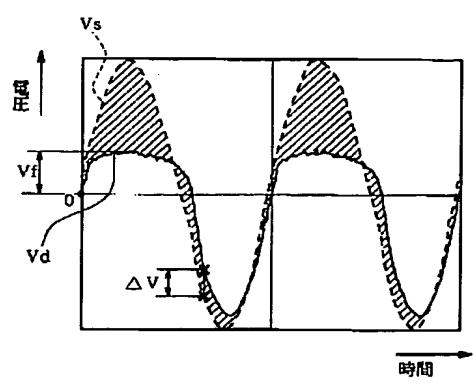
【図10】



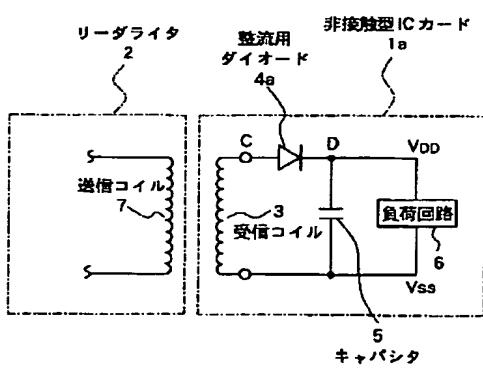
【図16】



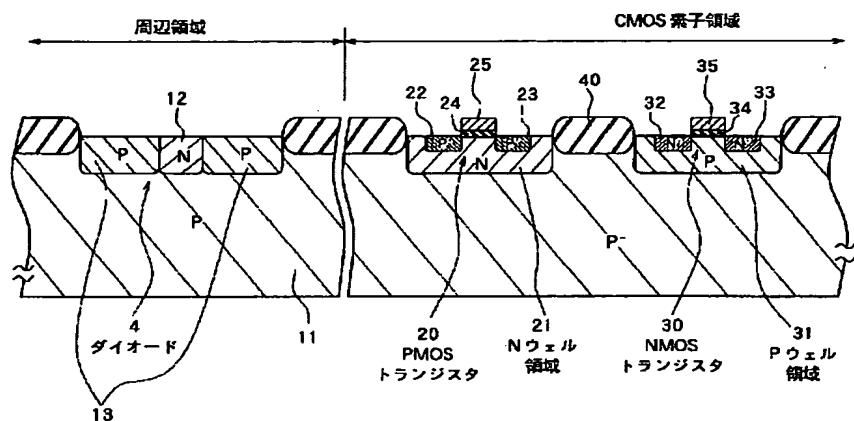
【図11】



【図18】



【図 12】



【図 17】

